

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Takeshi MATSUNAGA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE HAVING CAPACITOR FORMED IN MULTILAYER WIRING  
STRUCTURE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

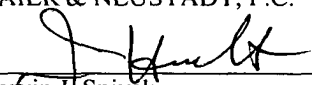
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-218399	July 26, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

James D. Hamilton  
Registration No. 28,421



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218399

[ ST.10/C ]:

[ JP 2002-218399 ]

出 願 人

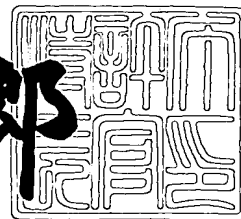
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019017

【書類名】 特許願

【整理番号】 A000201482

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 多層配線層内に形成されたキャパシタを有する半導体装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 松永 健

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 宮本 浩二

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 中島 雄一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 多層配線層内に形成されたキャパシタを有する半導体装置

【特許請求の範囲】

【請求項 1】

基板上に形成された多層配線層と、

前記多層配線層中の所定の配線層内に配置され下部電極、誘電膜及び上部電極を有したキャパシタと、

前記所定の配線層内に形成され前記キャパシタの少なくとも上部電極の上面に接続された第 1 のビアと、

前記所定の配線層の上に積層された上部配線層内に形成され前記第 1 のビア上部に形成された第 2 のビアとを具備することを特徴とする多層配線内に形成されたキャパシタを有する半導体装置。

【請求項 2】

前記第 1 のビアは第 2 のビアより太く形成されていることを特徴とする請求項 1 に記載の多層配線内に形成されたキャパシタを有する半導体装置。

【請求項 3】

前記所定の配線層は、前記下部電極上に形成された第 3 のビアと、前記第 3 のビアに接続されて前記所定の配線層表面に埋め込み形成された配線とを有することを特徴とする請求項 1 または 2 に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項 4】

前記配線は銅配線であり、前記所定の配線層の表面には前記銅配線を形成する銅の拡散を防止するための拡散ストッパ膜が形成されていることを特徴とする請求項 3 に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項 5】

前記上部配線層は、前記第 2 のビアの上部に接続されて前記上部配線層表面に埋め込み形成された配線を有することを特徴とする請求項 1 または 2 に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項 6】

前記所定の配線層内には前記キャパシタの下部電極の上方に形成された第 3 のビアが設けられ、

前記上部配線層内には前記第 3 のビア上部に接続された状態で形成され前記第 3 のビアより細い第 4 のビアが設けられ、

前記第 2、第 4 のビアが前記上部配線層の表面に埋め込み形成された第 1、第 2 の配線と接続されることを特徴とする請求項 1 または 2 に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項 7】

前記キャパシタの下部電極は前記キャパシタが形成された所定の配線層の下に形成された下層配線層の表面に埋め込み形成された配線と接続されたことを特徴とする請求項 1 または 2 に記載の多層配線層内に形成されたキャパシタを有する半導体装置。

【請求項 8】

半導体基板の第 1 の領域に形成された少なくとも一つの不純物拡散層と、

前記半導体基板上に積層され、前記不純物拡散層に接続されたコンタクトおよび前記コンタクト上に接続された状態で埋め込み形成された第 1 の配線とを有する第 1 の配線層を含む複数の配線層と、

前記半導体基板の前記第 1 の領域とは異なる第 2 の領域上に形成された前記複数の配線層中の所定の配線層中に形成され、下部電極、誘電膜、上部電極の積層構造を有するキャパシタと、

前記所定の配線層中の少なくとも前記上部電極上に形成された第 1 のビアと、

前記所定の配線層の上に積層された層間絶縁膜と、この層間絶縁膜中に形成され前記第 1 のビアに接続されかつ前記第 1 のビアより細く形成された第 2 のビアと前記第 2 のビアに接続され前記層間絶縁膜の表面部に埋め込み形成された第 2 の配線とを有する上部配線層と、

を具備することを特徴とする多層配線層内に形成されたキャパシタを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置、特に多層配線層内に形成されたキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

多層配線構造を有する半導体装置が種々用いられている。近年、このような半導体装置において多層配線構造に用いられる配線としてはアルミニウム（Al）や銅（Cu）を使った配線を用いることが知られている。これらは、露光、エッチング等の難易の問題からその配線の形成方法はそれぞれ異なる。特に、銅を配線に用いる場合は、アルミニウムより低抵抗であること、エレクトロマイグレーションに強くなる等のメリットがある。一方で銅を配線に用いる場合のデメリットとしては銅が珪素（Si）及び酸化珪素（SiO<sub>2</sub>）中に拡散する速度が極めて大きいこと、CVD法による成膜の見通しが暗いこと、ドライエッチングが不可能である等が知られている。

【0003】

そこで、銅を配線に用いる場合のメリットを活かし、デメリットを効果的に排除する加工プロセスとしてダマシン法或いはデュアルダマシン法による配線の加工プロセスがある。特に、デュアルダマシン法を用いると、一つの配線層を構成する絶縁膜中にビアホールとこれに接続される配線溝部を順次エッチングにより形成しておき、その後で一度にビアホールと配線溝部に銅を埋め込むことができる。このデュアルダマシン法を用いると加工プロセス数が削減され、製造のコストダウンも可能である。

【0004】

一方、アナログ回路等で用いるキャパシタも容量精度向上のためにポリシリコンキャパシタの代わりに、金属膜、誘電膜、及び金属膜からなるいわゆるMIMキャパシタが使用されるようになってきている。従来のこの種の半導体装置を形成する工程の一例を次に説明する。

【0005】

この種の半導体装置は半導体基板上に形成された例えばMOSトランジスタを



含む多層配線構造を有し、この多層配線構造の中の所定の配線層中に形成されたMIMキャパシタを有する。このような構造を有する半導体装置を製造する際、まず、半導体基板中に形成された素子分離絶縁膜の間の半導体基板上にMOSトランジスタのゲート絶縁膜およびゲート電極を露光、エッチングにより順次形成する。次に、ゲート絶縁膜およびゲート電極の両側の半導体基板中に、不純物イオン打込み法によりソース／ドレイン領域を形成する。その後、ゲート絶縁膜およびゲート電極を含む半導体基板全体をCVD法により例えばSiO<sub>2</sub>の第1の層間絶縁膜で覆い、CMP法を用いてこの第1の層間絶縁膜表面を平坦化する。

## 【0006】

その後、ソース／ドレイン領域上方の第1の層間絶縁膜をエッチングしてコンタクトホールを形成し、ソース／ドレイン領域上面と接触するコンタクトを形成する。さらに、第1の層間絶縁膜上に第2の層間絶縁膜を堆積し、この第2の層間絶縁膜中に上記コンタクトと結線するための第1の配線溝をエッチングにより形成し、そこに銅を埋め込み、CMP法により平坦化を行って第1の銅配線を形成する。同様にして第1の配線が形成された第1の層間絶縁膜上に第1の銅拡散ストッパ層を堆積する。

## 【0007】

次に、前記MOSトランジスタを形成した領域とは別の領域において、例えば前記第1の銅拡散ストッパ層上に、MIMキャパシタとして下部金属膜（下部電極）、誘電膜、上部金属膜（上部電極）及びエッチングストッパ材を順次堆積する。その後、上部電極を形成するために前記ストッパ材及び上部金属膜をエッチングし、更に、下部電極を形成するために誘電膜及び下部金属膜をエッチングする。次にこれらの下部電極、誘電膜、上部電極、エッチングストッパ材全体を覆って第3の層間絶縁膜を形成し、その後、この第3の層間絶縁膜中に上部電極に接続するための配線溝を形成するとともに、下部電極に至るビアホールとそれに続く配線溝を形成する。このとき、前記MOSトランジスタが形成された領域の上に形成された第3の層間絶縁膜中にも必要に応じてビアホール及びこれに接続される配線溝が形成され、これらのビアホールおよび配線溝に一度に銅が堆積される。

【 0 0 0 8 】

その後、第 3 の層間絶縁膜上に必要に応じて同様の構成を有する第 4、第 5 の配線層が形成される。

【 0 0 0 9 】

以上の工程により、キャパシタと銅配線とを同一配線層内に形成した多層配線層を有する半導体装置が完成される。

【 0 0 1 0 】

【発明が解決しようとする課題】

以上のようにして形成される従来の半導体装置の製造プロセスにおいて、MIMキャパシタの上部電極上に銅配線を形成する際の配線溝のエッチングにより、この上部電極の一部がむき出しになったり、更に深くエッチングされて下部電極の一部まで露出されてしまうことがあった。この結果、銅の配線層と上部電極、下部電極とが接続されてしまうことがあった。更に、上部電極または下部電極が露出しないまでもそれらの側面に近接して配線溝がエッチング形成された場合は、この配線溝に形成された銅配線がこれらの電極にストレスを与え、クラックが生じることもあった。これらの結果、上部電極と下部電極とは銅配線を介してショートして漏れ電流が発生し、あるいは電極のクラックにより接続不良が生じてMIMキャパシタとしての機能が失われることがあった。

【 0 0 1 1 】

そこでこの発明の目的は、例えば銅配線等の埋め込み配線を形成した多層配線層の中にキャパシタを形成した配線層を含み、前記配線の形成の際にキャパシタの機能を損なうことのない多層配線層内に形成されたキャパシタを有する半導体装置を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するため、この発明の一実施形態の多層配線層内に形成されたキャパシタを有する半導体装置は、基板上に形成された多層配線層と、前記多層配線層中の所定の配線層内に配置され下部電極、誘電膜及び上部電極を有したキャパシタと、前記所定の配線層内に形成され前記キャパシタの少なくとも上部電

極の上面に接続された第 1 のビアと、前記所定の配線層の上に積層された上部配線層内に形成され前記第 1 のビア上部に形成された第 2 のビアとを具備することを特徴としている。

## 【 0 0 1 3 】

また、この発明の他の実施形態の多層配線層内に形成されたキャパシタを有する半導体装置は、半導体基板の第 1 の領域に形成された少なくとも一つの不純物拡散層と、前記半導体基板上に積層され前記不純物拡散層に接続されたコンタクトおよび前記コンタクト上に接続された状態で埋め込み形成された第 1 の配線とを有する第 1 の配線層を含む複数の配線層と、前記半導体基板の前記第 1 の領域とは異なる第 2 の領域上に形成された前記複数の配線層中の所定の配線層中に形成され下部電極、誘電膜、上部電極の積層構造を有するキャパシタと、前記所定の配線層中の少なくとも前記上部電極上に形成された第 1 のビアと、前記所定の配線層の上に積層され前記第 1 のビアに接続されかつ前記第 1 のビアより細く形成された第 2 のビアを有する上部配線層と、前記第 2 のビアに接続され前記上部配線層の表面部に埋め込み形成された第 2 の配線と、を具備することを特徴としている。

## 【 0 0 1 4 】

上記のように構成されたこの発明によれば、キャパシタの少なくとも上部電極上面に第 1 のビアを形成し、第 1 のビア上部に接続されるように前記キャパシタが形成された配線層の上層に形成された上部配線層中に第 1 のビアより細い第 2 のビアを介して埋め込み形成された例えば銅配線を配置することで、埋め込み配線の形成時にキャパシタの性能を損なうおそれがなく、前記上部電極と銅配線との間に良好な接続を行うことが可能となる。

## 【 0 0 1 5 】

## 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。なお、以下に説明する実施形態の配線は銅配線を用いるが、銅以外にも配線溝を層間絶縁膜に形成し、ここに導電層を埋め込み形成するいかなる配線にもこの発明を適用できる。

## 【 0 0 1 6 】

図 1 の断面図は、所定の配線層中に形成された M I M キャパシタと、その上層に形成された上部配線層中に形成され前記 M I M キャパシタの上部電極、下部電極に接続されたビアおよび銅配線を有するこの発明の一実施形態の断面構造を示す。これらの所定の配線層および上部配線層は図 2 に示された半導体基板上に形成された多層配線構造の一部を形成するものであり、以下、図 1 と共に、図 2 の断面図も参照してこの発明の一実施形態の半導体装置の構造を詳細に説明する。

## 【 0 0 1 7 】

まず、図 2 において、半導体基板 1 1 の第 1 の領域に 2 個の素子分離絶縁膜 1 2 a、1 2 b が形成される。これらの素子分離絶縁膜 1 2 a、1 2 b の間の半導体基板 1 1 上には例えば S i O<sub>2</sub> などのゲート絶縁膜 1 3 およびポリシリコンなどのゲート電極 1 4 が順次形成されている。また、素子分離絶縁膜 1 2 a、1 2 b とゲート絶縁膜 1 3 との間の半導体基板 1 1 の表面領域中には 2 個のソース／ドレイン領域 1 5 a、1 5 b が形成されている。これらのゲート絶縁膜 1 3 およびゲート電極 1 4 が形成された第 1 の領域とこの第 1 の領域とは別の後で説明する第 2 の領域を含んで半導体基板 1 1 の表面全体には第 1 の層間絶縁膜 1 6 が形成される。

## 【 0 0 1 8 】

層間絶縁膜 1 6 には、一方のソース／ドレイン領域 1 5 a の上面が露出するようにコンタクト孔 1 7 a が形成され、このコンタクト孔 1 7 a には金属、例えばタンゲステンが堆積されてコンタクト 1 7 が形成されている。これらの層間絶縁膜 1 6 およびコンタクト 1 7 の表面は C M P 法などにより平坦化されている。

## 【 0 0 1 9 】

上記第 1 の層間絶縁膜 1 6 およびコンタクト 1 7 上には第 2 の層間絶縁膜 1 8 が形成されている。この第 2 の層間絶縁膜 1 8 には配線溝が形成され、この配線溝にはコンタクト 1 7 と接続されるための例えば銅配線 1 9 が形成されている。この第 2 層間絶縁膜 1 8 の上方には銅配線 1 9 を形成している銅の拡散ストッパ 2 0 が形成されている。この銅の拡散ストッパ膜 2 0 上には第 3 の層間絶縁膜 2 1 が形成され、この層間絶縁膜 2 1 と拡散ストッパ 2 0 には銅配線 1 9 上に至る

ビア 2 2 が形成され、ビア 2 2 の上部には層間絶縁膜 2 1 の表面部に銅配線 2 3 が形成される。

#### 【 0 0 2 0 】

そして、層間絶縁膜 2 1 の表面には銅配線 2 3 を形成する銅の拡散ストッパ膜 2 4 が形成され、さらに層間絶縁膜 4 0 が形成されている。また、必要に応じて層間絶縁膜 4 0 には図示しないが、ビアあるいは配線が形成され、同様にして更に上層配線層が形成される。

#### 【 0 0 2 1 】

次に、図 1 を参照して図 2 に示した MOS トランジスタを含む多層配線構造と同時に半導体基板 1 1 上の別の第 2 の領域に形成される、キャパシタを有する配線層を含む多層配線構造を説明する。

#### 【 0 0 2 2 】

図 1 において、最下層の層間絶縁膜 1 6 は図 2 に示された層間絶縁膜 1 6 と同時に半導体基板 1 1 上に形成されるものである。図 1 では層間絶縁膜 1 6 の下の半導体基板 1 1 が省略して示されている。この層間絶縁膜 1 6 上に形成された層間絶縁膜 1 8 には図 2 の銅配線 1 9 とともに銅配線 3 0 が形成されている。層間絶縁膜 1 8 の上にも同様に銅の拡散ストッパ膜 2 0 が形成されている。

#### 【 0 0 2 3 】

この銅の拡散ストッパ膜 2 0 の上には、例えば TiN 等の下部電極（金属膜）3 3 と、例えば SiN や TaN 等の誘電膜 3 4 と、TiN 等の上部電極 3 5 とが順次積層されてなる MIM キャパシタが形成され、さらにエッチングストッパ材としての例えば SiN の絶縁膜 3 6 が上部電極 3 5 の上に形成されている。

#### 【 0 0 2 4 】

これらの下部電極 3 3、誘電膜 3 4、上部電極 3 5 および絶縁膜 3 6 の積層構造は層間絶縁膜 2 1 により全体が覆われる。この層間絶縁膜 2 1 には拡散ストッパ膜 2 0 を貫通して銅配線 3 0 に接続されるビア 4 1 が形成され、このビア 4 1 はこのビア 4 1 上部に形成された銅配線 4 2 に接続される。さらに、MIM キャパシタの上部電極 3 5 の上面には太いビア 5 1 が形成され、下部電極 3 3 の上面には太いビア 5 2 が形成されている。

## 【 0 0 2 5 】

さらに、層間絶縁膜 2 1 上には、ビア 5 1、5 2、および銅配線 4 2 に接して銅の拡散ストップパ膜 2 4 が形成され、さらにその上に層間絶縁膜 4 0 が形成される。この層間絶縁膜 4 0 中には、銅の拡散ストップパ膜 2 4 を貫通してビア 5 1 に接続されるビア 6 0 a、およびビア 5 2 に接続されるビア 6 0 b が形成される。これらのビア 6 0 a、6 0 b は層間絶縁膜 2 1 中に形成されたビア 5 1、5 2 より細くなるように形成され、それらの上部には、銅配線 6 1 a、6 1 b が形成されている。図 2 では図示されていないが、層間絶縁膜 4 0 の上には、図 1 に示したように、銅配線 6 1 a、6 1 b の上面に接する銅の拡散ストップパ膜 6 3 が形成されている。

## 【 0 0 2 6 】

図 1、図 2 を参照して、MOS トランジスタを含む多層配線構造中に、MIM キャパシタを有する半導体装置の構造を説明した。以下、図 3 (a) ないし図 4 (b) を参照して図 1、図 2 に示す構造を有する半導体装置についての製造方法の一例を詳細に説明する。

## 【 0 0 2 7 】

図 3 (a) において、半導体基板 1 1 において図 1 に示した MIM キャパシタが形成される領域を第 2 領域 1 1 a とし、図 2 に示した MOS トランジスタが形成される領域を第 1 領域 1 1 b とする。この説明においては、MOS トランジスタが形成される領域と、MIM キャパシタが形成される領域とは別の領域に形成されているが、同一領域内において MOS トランジスタの上部に MIM キャパシタが形成されてもよい。

## 【 0 0 2 8 】

まず、図 3 (a) において、第 1 領域 1 1 a の基板表面を浅くエッチングし、そこに絶縁物を埋め込んで例えば STI (shallow trench isolation) 用の素子分離絶縁膜 1 2 a、1 2 b を形成する。その後、素子分離絶縁膜 1 2 a、1 2 b 表面を含む半導体基板 1 1 の全面にゲート酸化膜 1 3 を形成するための酸化膜を形成するとともに、ゲート電極 1 4 を形成するための例えばポリシリコン膜を前記酸化膜 1 3 の上の全面に堆積する。ポリシリコン膜の上にはフォトリソグラフィ

法によりゲート部を形成するためにレジストを堆積し、所定の露光マスクを用いてレジスト上にゲート酸化膜 1 3、ゲート電極 1 4 を形成するためのパターンを露光する。この露光パターンを用いてエッチングを行い、素子分離絶縁膜 1 2 a、1 2 b の間の半導体基板 1 1 の第 1 領域 1 1 a 上にはゲート酸化膜 1 3、ゲート電極 1 4 が形成される。

## 【 0 0 2 9 】

次に、素子分離絶縁膜 1 2 a、1 2 b とゲート酸化膜 1 3、ゲート電極 1 4 との間の第 1 領域 1 1 a の半導体基板中に不純物イオン打込み法によりソース／ドレイン領域 1 5 a、1 5 b が形成される。その後、半導体基板 1 1 の全面に第 1 の層間絶縁膜 1 6 が堆積される。この層間絶縁膜 1 6 は、C V D 法により堆積され、例えばリン、或いはボロンを含んだ S i O 2 を材料として形成されるが、S i O 2 以外に F S G その他の材料を用いて形成しても良く、またこれらの単一層構造を用いる代わりに複数の材料による積層構造としてもよい。

## 【 0 0 3 0 】

この第 1 の層間絶縁膜 1 6 の表面は C M P を用いて平坦化した後、さらに、第 1 の層間絶縁膜 1 6 には、上記ゲート部の形成に用いたフォトリソグラフィ法により一方のソース／ドレイン領域 1 5 a に至るコンタクトホール 1 7 a を形成する。このコンタクトホール 1 7 a にはコンタクト材として例えばタングステンなどが埋め込まれ、C M P により平坦化されて、ソース／ドレイン領域 1 5 a 上面と接続されたコンタクト 1 7 が形成される。

## 【 0 0 3 1 】

その後、図 3 ( b ) に示すように、第 1 の層間絶縁膜 1 6 上に第 2 の層間絶縁膜 1 8 が同様にして形成される。この層間絶縁膜 1 8 の上面にはレジスト 1 8 a を堆積し、フォトリソグラフィ法によりこのレジスト 1 8 a をエッチングマスクとして用いて層間絶縁膜 1 8 に前記銅配線 1 9、3 0 を形成するための配線溝 1 9 b、3 0 b を形成する。その後、上部一体に配線形成のための銅を堆積し、C M P 法により層間絶縁膜 1 8 が露出するまで研磨して平坦化する。

## 【 0 0 3 2 】

この結果、図 3 ( c ) に示すように、第 1 領域の層間絶縁膜 1 8 中に銅配線 1

9 が、第 2 領域の層間絶縁膜 1 8 には銅配線 3 0 が形成される。

【 0 0 3 3 】

次に、図 4 ( a ) に示すように、層間絶縁膜 1 8、銅配線 1 9、3 0 の上方に銅の拡散ストッパ膜 2 0 を第 1、第 2 の領域 1 1 a、1 1 b 全体に堆積する。この銅の拡散ストッパ膜 2 0 は、例えば SiN により形成される。この状態で、第 2 の領域 1 1 b に形成された銅の拡散ストッパ膜 2 0 上に、MIM キャパシタの下部電極 3 3 を形成するための例えば TiN を堆積し、その後、誘電膜 3 4 用の例えば SiN または TaO を堆積し、その後に上部電極 3 5 となる例えば TiN を堆積し、最後にビア形成の際にエッチングストッパ層 3 6 となる例えば SiN を堆積する。

【 0 0 3 4 】

その後、リソグラフィ法にてエッチングストッパ層 3 6、上部電極 3 5、誘電膜 3 4 および下部電極 3 3 をパターニングして形成する。まず、エッチングストッパ層となる SiN 層上の全体にレジスト層を堆積する。さらにこのレジスト層上部にマスクを置き、エッチングストッパ層 3 6 に対応してレジスト層をパターニングしてレジストマスクを形成する。次いで、この形成されたレジストマスクを用いてエッチングストッパ層 3 6 用の SiN 膜および上部電極 3 5 用の TiN 膜をエッチングし、エッチングストッパ膜 3 6 および上部電極 3 5 を同時に形成する。

【 0 0 3 5 】

次いで、上部電極 3 5、エッチングストッパ層 3 6 を覆うと共に、誘電膜 3 4 および下部電極 3 3 を形成するための TiN 膜および SiN 膜全体を覆うレジスト膜を堆積し、同様にリソグラフィ法により誘電膜 3 4、及び下部電極 3 3 がエッチングにより図示のパターンに形成される。

【 0 0 3 6 】

その後、第 1 の領域 1 1 a および、第 2 の領域 1 1 b に形成された MIM キャパシタを覆う層間絶縁膜 2 1 が銅の拡散ストッパ膜 2 0 上に形成される。

【 0 0 3 7 】

ここで、図 4 ( b ) に示すように、第 1 の領域 1 1 a では、銅配線 1 9 上に銅



の拡散ストッパ膜 2 0 を介して層間絶縁膜 2 1 中に例えばデュアルダマシン法を用いてビアホール 2 2 a 及びこのビアホール 2 2 a 上部に配線溝 2 3 a が形成される。

## 【 0 0 3 8 】

また、第 2 の領域 1 1 b では、例えばデュアルダマシン法により、上部電極 3 5 上、および下部電極 3 3 上に夫々ビアホール 5 1 a、5 2 a が形成されるとともに、銅配線 3 0 の上方に銅の拡散ストッパ膜 2 0 を介してビアホール 4 1 a およびこのビアホール 4 1 a 上部に配線溝 4 2 a が形成される。

## 【 0 0 3 9 】

その後、これらのビアホール 2 2 a、5 1 a、5 2 a、4 1 a および配線溝 2 3 a、4 2 a 中には順次または一度に銅が堆積され、層間絶縁膜 2 1 表面を CMP 法により平坦化することにより図 4 (b) に示された構造が形成される。

## 【 0 0 4 0 】

次いで、第 2 領域 1 1 b には、図 1 に示したように、上記のようにして形成された層間絶縁膜 2 1 上に銅の拡散ストッパ膜 2 4 を介して層間絶縁膜 4 0 が堆積される。その後、例えばデュアルダマシン法により層間絶縁膜 4 0 中には同様にしてビア 6 0 a、6 0 b および銅配線 6 1 a、6 1 b が形成される。ここで、ビア 6 0 a がビア 5 1 より細く形成され、同じく、ビア 6 0 b がビア 5 2 a より細く形成されるので、ビア 5 1、5 2 a に対するビア 6 0 a、6 0 b の形成時の位置の誤差に大きな余裕を持たせることができる。

## 【 0 0 4 1 】

その後、層間絶縁膜 4 0 の表面を CMP 法により平坦化した後で、銅の拡散ストッパ膜 6 3 が形成される。なお、図示していないが、図 2 の第 1 の領域 1 1 a にもこの拡散ストッパ膜 6 3 が形成される。

## 【 0 0 4 2 】

上記のような第 1 の実施形態の構造では、上部電極 3 5、誘電膜 3 4、下部電極 3 3 となる MIM キャパシタが形成された同一配線層内に上部電極 3 5 に接続される埋め込み配線 6 1 a を形成しないので、埋め込み配線形成用の配線溝を形成する際のエッチングが MIM キャパシタまで及ぶことはなく、従って、この埋

め込み配線 6 1 a と上部電極 3 5 とがショートするおそれはない。又、ビア 5 1 がビア 6 0 a より太く形成されているので、両者の位置づれに対する余裕を大きく取ることができる。

## 【 0 0 4 3 】

図 1 に示した第 1 の実施形態では、MIM キャパシタの下部電極 3 3 とコンタクトをとる銅配線 6 1 b が、下部電極 3 3 が形成されている層間絶縁膜 2 1 中に形成された配線層の上に形成された層間絶縁膜 4 0 中に形成された配線層に形成されているが、下部電極 3 3 と、この下部電極 3 3 とコンタクトをとる銅配線とを同じ層間絶縁膜の配線層に形成してもよい。なお、この構成によるとビア 5 1 、および 5 2 a を太く、ビア 6 0 a 、および 6 0 b を細く形成されているため、製造時の誤差に対して余裕を持って設計を行うことが可能となる。

## 【 0 0 4 4 】

図 5 は下部電極 3 3 と、下部電極 3 3 とコンタクトをとる配線層とが同じ配線層の層間絶縁膜 2 1 中に形成された、この発明の第 2 の実施形態を示したもので、図 1 の第 1 の実施形態に対応する第 2 の領域 1 1 b に形成される MIM キャパシタを含んだ多層配線の構造の断面図である。尚、図 5 において、図 1 に示した実施の形態と同じ部分については同一符号を付してその詳細な説明を省略する。

## 【 0 0 4 5 】

図 5 において、下部電極 3 3 に接続されるビア 5 2 b と、このビア 5 2 b の上方に銅配線 5 3 とを層間絶縁膜 2 1 中に例えばデュアルダマシン法により形成する。従って、図 1 の実施形態ではビア 6 0 b を介してビア 5 2 a に接続された、MIM キャパシタが形成されている配線層の上層の配線層に形成されている銅配線 6 1 b は、図 5 の実施の形態では下部電極 3 3 とは結線されていない。図 5 の実施形態では、上部電極 3 5 のみ MIM キャパシタが形成された配線層の上に形成される配線層に形成される銅配線 6 1 a に細いビア 6 0 a を介して接続される。このように、MIM キャパシタ下部電極 3 3 と銅の拡散ストッパ膜 2 4 間に所定の値以上の厚さの層間絶縁膜 2 1 が形成されている場合は、下部電極 3 3 と同じ層間絶縁膜 4 1 中にビア 5 2 b と配線部 5 3 とを形成することが可能である。上記のような第 2 の実施形態の構造では第 1 の実施形態と同様に、MIM キャパ

シタが形成された同一配線層内に上部電極 3 5 に接続される埋め込み配線 6 1 a を形成しないので配線 6 1 a と上部電極 3 5 とがショートするおそれはない。又、ビア 5 1 がビア 6 0 a より太く形成されているので、両者の位置づれに対する余裕を大きく取ることができる。

## 【 0 0 4 6 】

また、上記第 1、第 2 実施形態ではいずれも下部電極 3 3 とコンタクトをとる銅配線が下部電極 3 3 の上方に配置されているが、下部電極 3 3 とコンタクトをとる配線が下部電極 3 3 が形成されている配線層の下にある下層配線層中に配置されてもよい。図 6 はその一例を示す実施形態の断面図であり、下部電極 3 3 とコンタクトをとる配線が、下部電極 3 3 が形成されている配線層の直下の配線層に配置された第 3 の実施形態を示し、図 1、図 5 と同様に第 2 の領域 1 1 b に形成された M I M キャパシタを含んだ多層配線の構造の断面図である。尚、図 6 において、第 1、第 2 の実施の形態と同じ部分は同一符号を用いてその詳細な説明を省略する。

## 【 0 0 4 7 】

まず、図 6 において、層間絶縁膜 1 8 中に銅配線 3 0 を形成する。その後、銅配線 3 0 の直上の銅の拡散ストッパ膜 2 0 がエッチングされ、銅配線 3 0 の一部が露出する孔 3 3 a が形成される。従って、下部電極 3 3 を形成するために電極材料が銅の拡散ストッパ膜 2 0 上に形成されるとき、この拡散ストッパ膜 2 0 の孔 3 3 a を介して上記銅配線 3 0 と接続される。

## 【 0 0 4 8 】

M I M キャパシタが形成された後で、層間絶縁膜 2 1 にビア 5 1 を形成する時に同時に、例えばデュアルダマシン法によりこの銅配線 3 0 に接続されるビア 4 1 及びこのビア 4 1 に接続された銅配線 4 2 を層間絶縁膜 2 1 中に形成する。従って、図 5 の実施形態に示された下部電極 3 3 に接続されたビア 5 2 b と銅配線 5 3 とはこの図 6 の実施形態では用いられない。他の構成は図 5 の実施形態と同じである。

## 【 0 0 4 9 】

上記の第 3 の実施形態のような構造でも、M I M キャパシタが形成された同一

配線層内に上部電極 3 5 に接続される埋め込み配線 6 1 a を形成しないので配線 6 1 a と上部電極 3 5 とがショートするおそれはない。又、ビア 5 1 がビア 6 0 a より太く形成されているので、両者の位置づれに対する余裕を大きく取ることができる。

【 0 0 5 0 】

この第 3 の実施形態の構成によると、下部電極 3 3 は下部電極下方の銅配線 3 0 と接続され、その後、銅配線 3 0 はビア 4 1 を介し銅配線 4 2 と接続されている。この場合はプロセスまたは構成などの何らかの都合で下部電極上にビア、またはビア並びに銅配線を形成できないときに有効である。

【 0 0 5 1 】

【発明の効果】

以上詳述したようにこの発明によれば、所定の配線層中に形成される例えば M I M キャパシタの上部電極と、この上部電極とのコンタクトをとる銅などの配線との接続を行うために形成される配線溝の過エッチング等の原因で M I M 等のキャパシタがショートする問題や、このキャパシタ上のビア／配線形成時のビア底の過エッチングによる不良を防ぐことができ、高い信頼性を持つ、多層配線層内に形成されたキャパシタを有する半導体装置を提供することが出来る。

【図面の簡単な説明】

【図 1】

この発明の一実施形態の、多層配線層に形成された M I M キャパシタを含んだ半導体装置の構造を示す断面図。

【図 2】

図 1 の M I M キャパシタと同じ半導体基板の他の領域に形成された M O S 型素子を含む多層配線層部分の断面図。

【図 3】

図 1 および図 2 に示した半導体装置の製造方法の異なる工程における構造を示す断面図。

【図 4】

図 3 に続く半導体装置の製造方法の異なる工程における構造を示す断面図。

【図 5】

この発明の他の実施形態の半導体装置のMIMキャパシタを含む多層配線構造の断面図。

【図 6】

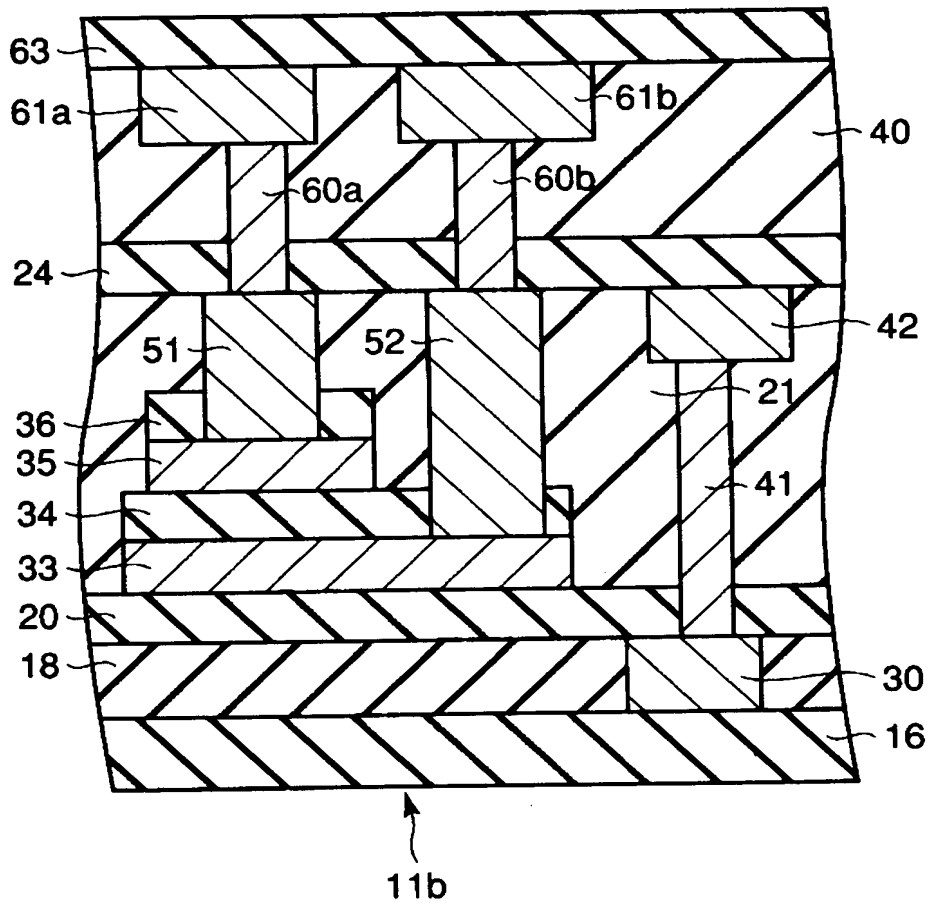
この発明の更に他の実施形態の半導体装置のMIMキャパシタを含む多層配線構造の断面図。

【符号の説明】

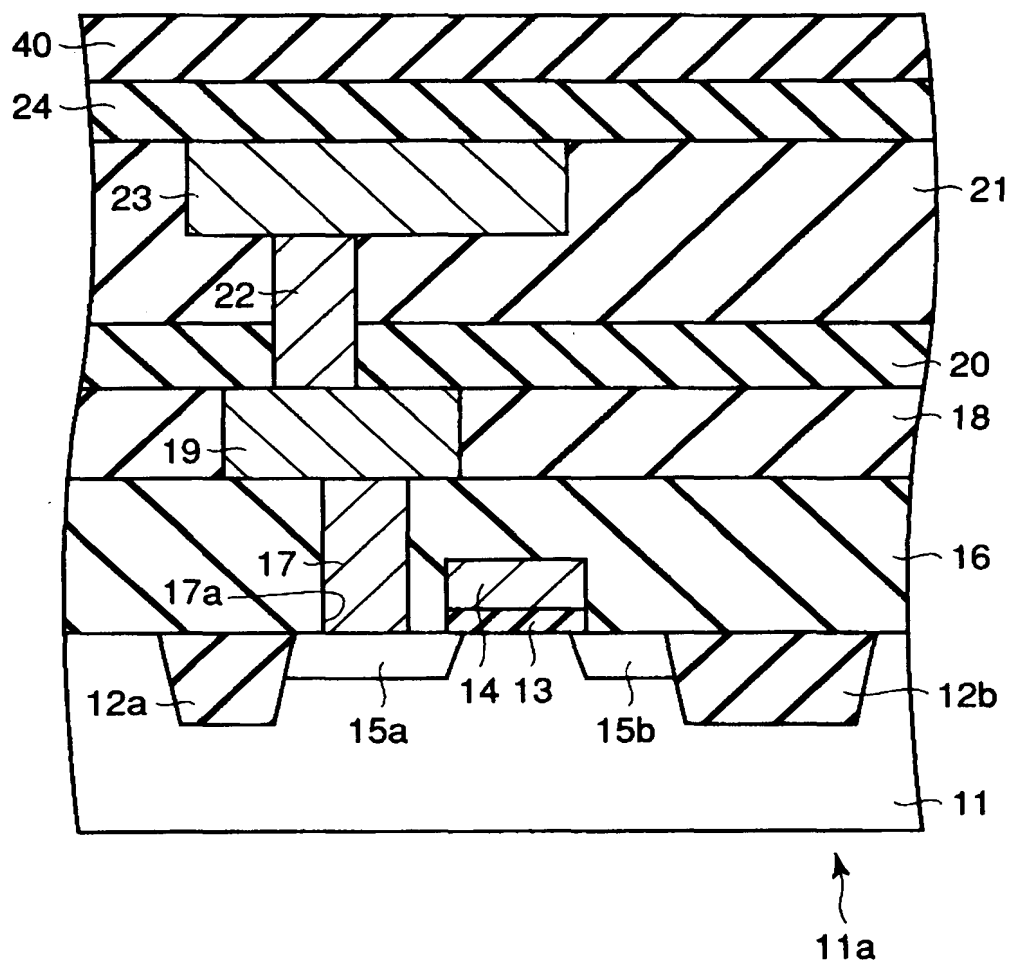
16、18、21、40…層間絶縁膜、  
20、24、63…銅の拡散ストッパ膜、  
30、42、61a、61b…銅配線、  
33…下部電極、  
34…誘電膜、  
35…上部電極、  
36…エッチングストッパ膜、  
41、51、52a、60a、60b…ビア

【書類名】 図面

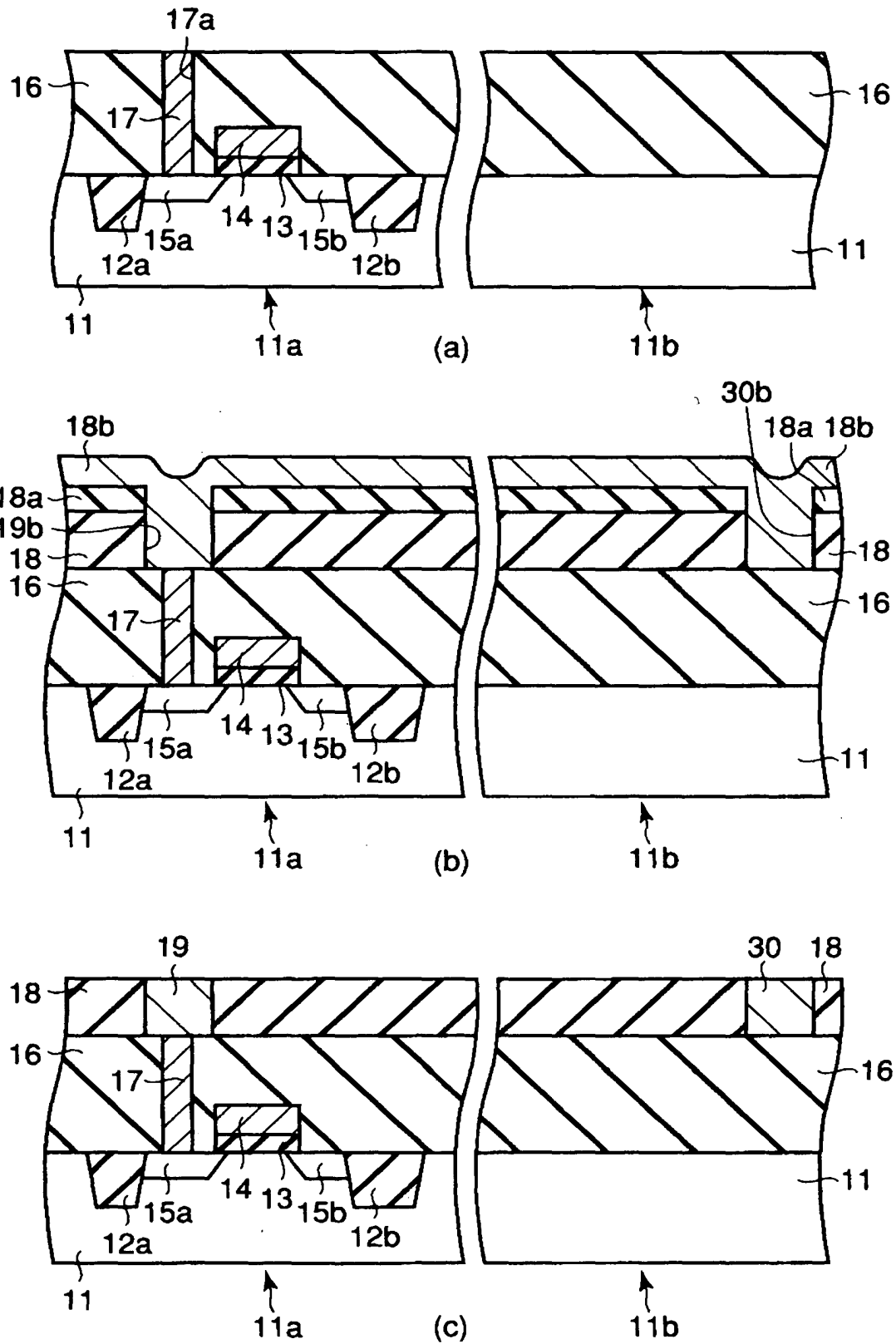
【図 1】



【図 2】

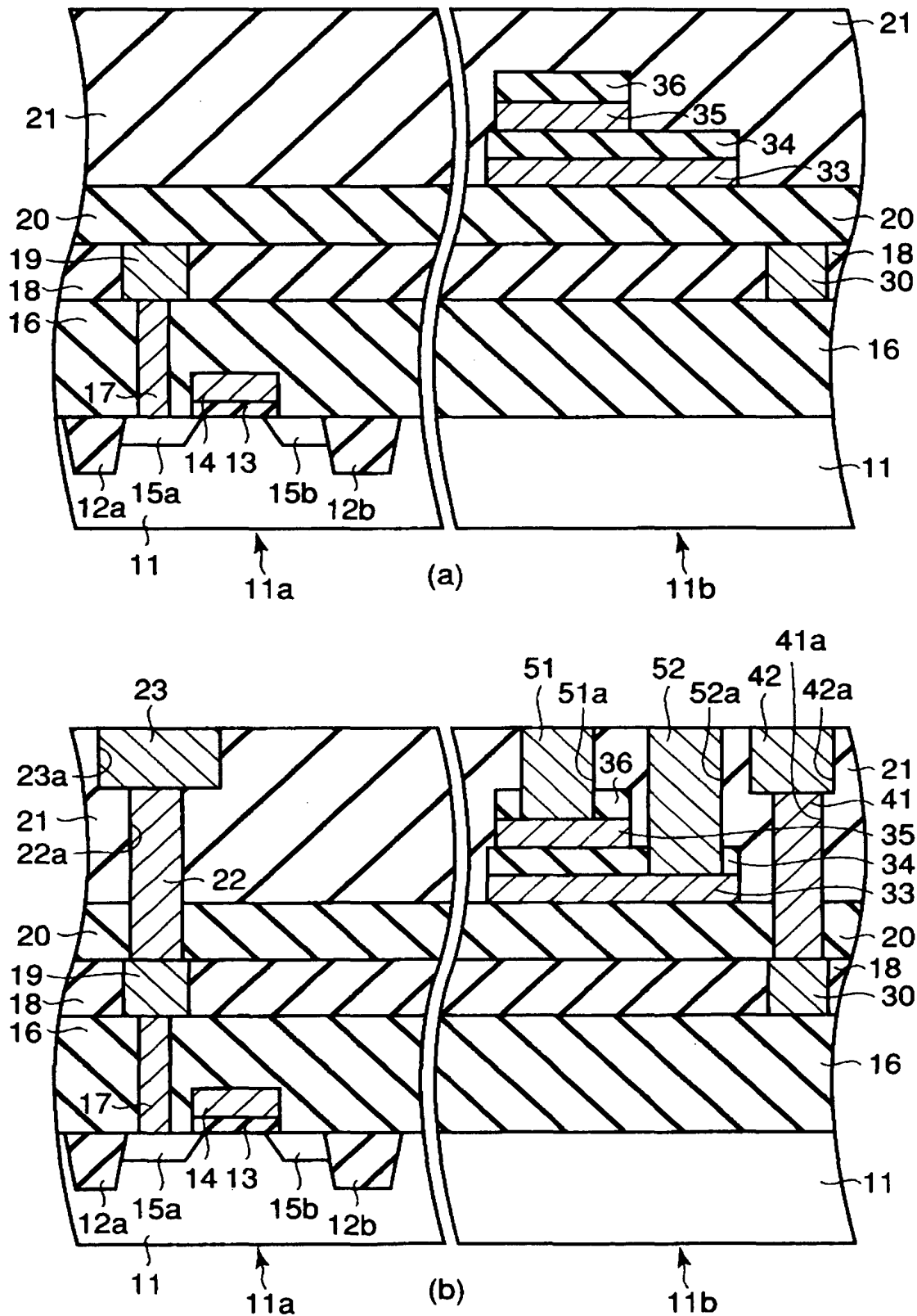


【図 3】

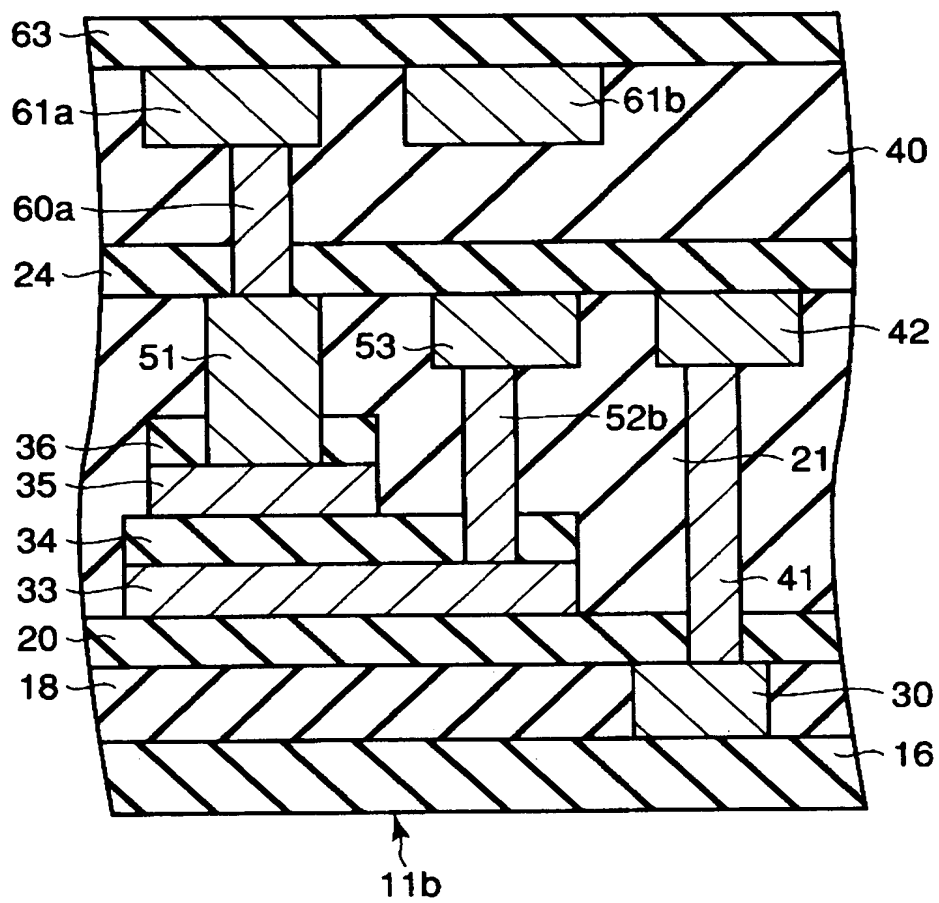




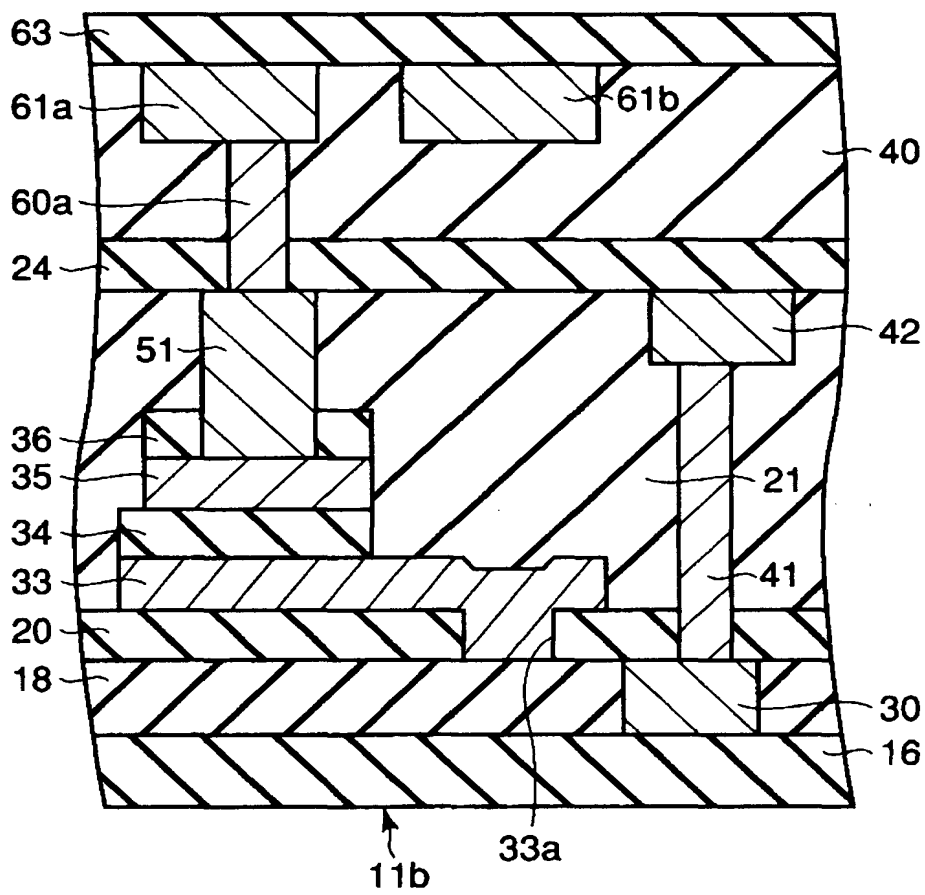
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 キャパシタの上部電極と層間絶縁膜中に埋め込み形成された配線とキャパシタがショートする問題やキャパシタ上のビア／配線形成時にビア底の過エッチングを防ぐことができ、高い信頼性を持つ、多層配線層内に形成されたキャパシタを有す半導体装置を提供する。

【解決手段】 所定の配線層中に形成されたキャパシタの上部電極 3 5 上面に太いビア 5 1 が形成され、このビア 5 1 上方には銅の拡散ストッパ膜を介し、前記所定の配線層の上部に形成された配線層に配置され太いビア 5 1 より細いビア 6 0 a および銅配線 6 1 a が順次形成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝